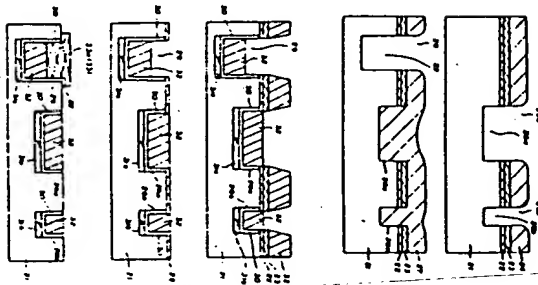


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

- (11) 63-143835 (A) (43) 16.6.1988 (19) JP
(21) Appl. No. 61-290614 (22) 8.12.1986
(71) OKI ELECTRIC IND CO LTD (72) HIDETOSHI WAKAMATSU
(51) Int. Cl. H01L21/76

PURPOSE: To make it possible to shorten and simplify the process to a large extent, by forming a deep groove for a capacitor cell and shallow element isolating groove in a silicon substrate, and forming an oxide film at a thickness corresponding to the depth of the element isolating grooves by using RF bias sputtering technology.

CONSTITUTION: Opening parts 25a and 25b are formed in resist 24 applied on a metal layer 23. With the resist 24 as a mask, the layer 23 and an oxide film 22 are etched through the opening parts 25a and 25b. With the layer 23 and the oxide film 22 as masks, a substrate 21 is etched. Thus element isolating grooves 26a and 26b are formed in the substrate 21. After the resist 24 is removed, resist 27 is applied on the entire surface. An opening part 28 is formed. The layer 23 and the oxide film 22 are etched through the opening part 28. and then the substrate 21 is etched. A groove 29 for a capacitor cell is formed in the substrate 21. Thereafter, an oxide film 32 is formed with a thickness corresponding to the depth of the element isolating grooves by using RF sputtering technology, by which flattening can be performed, at the same time as the deposition of the oxide film.



E3482

⑬ 日本国特許庁(JP) ⑭ 特許出願公開
⑯ 公開特許公報(A) 昭63-143835

⑮ Int.Cl.⁴
H 01 L 21/76

識別記号 庁内整理番号
L-7131-5F

⑰ 公開 昭和63年(1988)6月16日

審査請求 未請求 発明の数 1 (全5頁)

⑱ 発明の名称 半導体装置の製造方法

⑲ 特 願 昭61-290614

⑳ 出 願 昭61(1986)12月8日

㉑ 発 明 者 若 松 秀 利 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉒ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
㉓ 代 理 人 弁理士 菊 池 弘

明 細 書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

シリコン基板にキャパシタセル用の溝と素子分離用の溝を形成し、素子分離用の溝全体とキャパシタセル用の溝底部に分離用絶縁膜を有する半導体装置の製造方法において、

(a)シリコン基体上にエッチングマスク層を形成する工程と、

(b)そのマスク層をマスクとしてシリコン基体をエッチングすることにより、深いキャパシタセル用の溝と、浅い素子分離用の溝を形成する工程と、

(c)その後、酸化膜の堆積と同時に平坦化が可能なR.F.バイアススパッタリング技術を用いて、素子分離用の溝の深さに対応する膜厚で酸化膜を形成することにより、前記素子分離用溝の全体およびキャパシタセル用溝の底部に同時に素子分離用絶縁膜を形成する工程とを具備してなる半導体装置の製造方法。

3 発明の詳細な説明

(産業上の利用分野)

この発明は、溝埋め込み素子分離領域と、溝底部に分離用絶縁膜を有する素子分離を兼ね備えた溝埋り型キャパシタセルとを有する半導体装置の製造方法に関する。

(従来の技術)

1トランジスタ・1キャパシタ型のMOS型ダイナミックメモリセルにおいて、シリコン基体に

溝を刻ることによりセル容量を増大させることは知られている。また、最近、キャパシタセルをセル分離の両方の機能をもつ構造により、メモリ容量を減少させずにメモリ面積を小さくする方法が発表されている。

第2図は、溝埋め込み素子分離領域と、溝底部に分離用絶縁膜を有する素子分離を兼ね備えた溝埋り型キャパシタセルとを有する従来の半導体装置の製造方法を工程順に示す。以下、この従来の方法を順を追って説明する。

まず、シリコン基体1上に常圧CVD法を用い

て酸化膜2を、次に減圧CVD法を用いて窒化シリコン膜3を、さらに常圧CVD法を用いて酸化膜4を成長させる。さらに、その上にレジスト5を塗布し、このレジスト5には素子分離領域とキャパシタセル領域のパターンで開口部6を形成する(第2図(a))。

次に、レジスト5をマスクとして、開口部6を通してRIE法により上記酸化膜4、窒化シリコン膜3および酸化膜2の3層膜をエッチングすることにより、この2層膜に開口部7を形成する(第2図(b))。

次に、レジスト5を除去した後、上記3層膜をマスクとして、開口部7を通してシリコン基体1をエッチングすることにより、このシリコン基体1にキャパシタセル用の溝8と素子分離用の溝9を形成する(第2図(b))。

次いで、溝9の底部に素子分離領域の反転防止用不純物(ボロンB⁺)をイオン注入(40 KeV、 2×10^{13} ions/cm²)し、不純物イオン注入層10aを形成する。この時、キャパシタセル用の

溝8の底部にも同一条件で不純物イオン注入層10bを形成する(第2図(b))。

次に、上記3層膜をエッチング除去した後、溝8、9内を含む基体1上の全面に減圧CVD法により酸化膜11を成長させる。さらに、その上にレジストを塗布し、表面を平坦とする。しかる後、レジストと酸化膜11のエッチング速度が同じ条件になるRIE法でエッチバックを行い、溝8、9の全体にのみ分離用絶縁膜として酸化膜11を残す。その後、キャパシタセル用の溝8に充填されている酸化膜11をRIE法を用いて掘り出すことにより、該溝8には、底部にのみ、分離用絶縁膜として一部酸化膜11が残るようにする(第2図(c))。

次いで、キャパシタセル用の溝8内および基体1表面に熱酸化法によりセルゲート酸化膜12を形成し、続いて減圧CVD法により溝8内および基体1上に多結晶シリコン膜を形成する。その後、多結晶シリコン膜をRIE法を用いて表面が平坦になるようにエッチバックし、その後、該多

結晶シリコン膜とセルゲート酸化膜12のパターニングを実施することにより、前記溝8に埋め込まれた残存多結晶シリコン膜からなるキャパシタセルの電極13を形成すると同時に、該電極13と基体1間のみセルゲート酸化膜12を残す(第2図(d))。

(発明が解決しようとする問題点)

しかしながら、上記のような従来の方法では、レジストと酸化膜11を同一エッチング速度でエッチングして酸化膜11を溝8、9内のみに残すエッチバック技術が必要であり、またキャパシタセル用の溝8から酸化膜11を掘り出す工程が必要であり、プロセス全体が長く複雑になるという問題点があつた。

この発明は上記の点に無みなされたもので、プロセスを大體に短縮、簡略化することが可能な半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

この発明では、シリコン基体上に耐エッチングマスク層を形成し、そのマスク層をマスクとして

シリコン基体をエッチングすることにより、深いキャパシタセル用の溝と浅い素子分離用の溝を基体に形成し、その後、酸化膜の堆積と同時に平坦化が可能なRFバイアススパッタリング技術を用いて、素子分離用の溝の深さに対応する膜厚で酸化膜の形成を行う。

(作用)

上記のような方法においては、RFバイアススパッタリング技術を用いて上記のような膜厚で酸化膜の形成を行うことにより、該酸化膜の形成を終了した時点で、素子分離用の溝が前記酸化膜により平坦に埋められるようになる。また、深いキャパシタセル用の溝には、前記素子分離用の溝の埋め込みと同時に、素子分離用溝の酸化膜と同じ膜厚で底部に酸化膜(分離用絶縁膜)が形成されるようになる。

(実施例)

以下この発明の一実施例を図1図を参照して説明する。

まず、(100)面のP型半導体シリコン基体21

上に熱酸化法により酸化膜(SiO_2 膜)22を300Å程度成長させる。さらに、その上に、アルミニウム、チタン、タンタムあるいは高融点金属シリサイド膜を用いて数百nm厚のメタル層23を成長させる(第1図(a))。

次に、メタル層23上にレジスト24を塗布し、このレジスト24に、幅の広い素子分離領域パターンおよび幅の狭い素子分離領域パターンで開口部25a、25bを通常のカトリソ工程により形成する(第1図(b))。

次に、上記レジスト24をマスクとして、上記開口部25a、25bを通してメタル層23および酸化膜22をRIE法によりエッチングし、続いてRIE法のエッチング条件を変えてメタル層23と酸化膜22をマスクとしてシリコン基体21をエッチングすることにより、深さ0.5μm程度の幅の広い素子分離用の溝26aと、同深さの幅の狭い素子分離用の溝26bを基体21に形成する(第1図(c))。

次に、レジスト24を除去した後、再度全面に

次に、酸化膜の堆積と同時に平坦化が可能なRFバイアススパッタリング法を用いてシリコン基体21の全面に酸化膜32を堆積させる(第1図(d))。この時、酸化膜32の膜厚は、素子分離用の溝26a、26bの深さと同じとする。すると、素子分離用の溝26a、26bにおいては、前記酸化膜32の形成終了時に、該酸化膜32により平坦に埋められるようになる。また、キャパシタセル用の深い溝29においては、底部に、素子分離用溝26a、26bの酸化膜32と同じ膜厚で酸化膜32が分離用絶縁膜として形成される。

しかる後、メタル層23を除去し、同時にその上の不純な酸化膜32をリフトオフ法により除去する(第1図(e))。

次いで、溝29を含むシリコン基体21上の全面に多結晶シリコン膜33を堆積させ、この多結晶シリコン膜33をRIE法を用いて所望の厚さ(3000Å程度)になるまでエッチバックする。これは、膜厚制御と、平坦化を目的として行われる。しかる後、多結晶シリコン膜33と、その下

レジスト27を塗布し、このレジスト27に、キャパシタセル領域パターンで開口部28をホトリソ工程により形成する。そして、その開口部28を通してメタル層23と酸化膜22をRIE法によりエッチングし、続いてRIE法のエッチング条件を変えてシリコン基体21をエッチングすることにより、該基体21に深さ1μm程度のキャパシタセル用の溝29を形成する(第1図(f))。

次に、レジスト27を除去した後、溝26a、26b、29の内壁に熱酸化法により酸化膜30を200Å程度成長させる(第1図(g))。この酸化膜30は、キャパシタセル用の溝29部においては、キャパシタセルのゲート酸化膜として用いられる。

次に、溝26a、26bの底部に素子分離領域の反転防止用不純物(ボロン B^+)をイオン注入(40 KeV, $2 \times 10^{13} \text{ ions/cm}^2$)し、不純物イオン注入層31a、31bを形成する。この時、キャパシタセル用の溝29の底部にも同一条件で不純物イオン注入層31cを形成する(第1図(h))。

の酸化膜22のパターニングを実施することにより、残存多結晶シリコン膜33からなる溝29に埋め込まれたキャパシタセルの電極33aを形成するとともに、その電極33aとシリコン基体21間のみ酸化膜22を残す(第1図(i))。

(発明の効果)

以上詳細に説明したように、この発明の方法によれば、シリコン基体に深いキャパシタセル用の溝と浅い素子分離用の溝を形成した後、RFバイアススパッタリング技術を用いて素子分離用溝の深さに対応する膜厚で酸化膜を形成したので、該酸化膜の形成終了に伴い、エッチバック技術を用いずに、素子分離用溝を平坦に酸化膜(分離用絶縁膜)で埋めることが可能となる。また、深いキャパシタセル用の溝においては、酸化膜の埋り出し工程を無くして底部にのみ酸化膜を分離用絶縁膜として形成できる。そして、このようにエッチバック技術や埋り出し工程を不要とし得ることにより、プロセス全体の短縮、簡略化が可能となる。

また、この発明の方法によれば、実施例のよう

に幅の広い素子分離用の溝と幅の狭い素子分離用の溝を有する場合でも、同時に両方の溝を酸化膜(分離用絶縁膜)で平坦に埋めることができる。

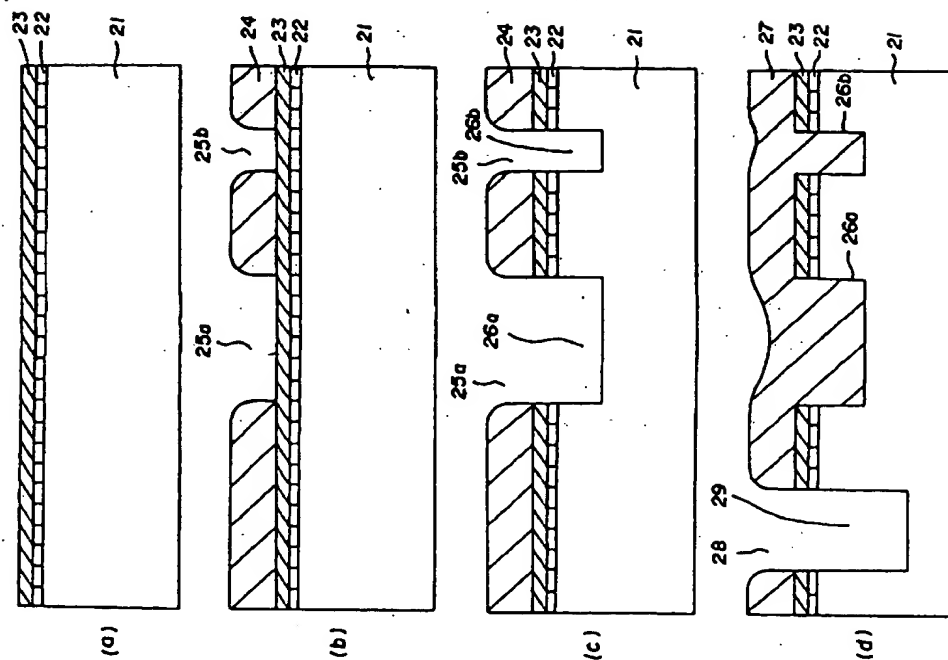
4. 図面の簡単な説明

第1図はこの発明の半導体装置の製造方法の一実施例を示す工程断面図、第2図は従来の半導体装置の製造方法を示す工程断面図である。

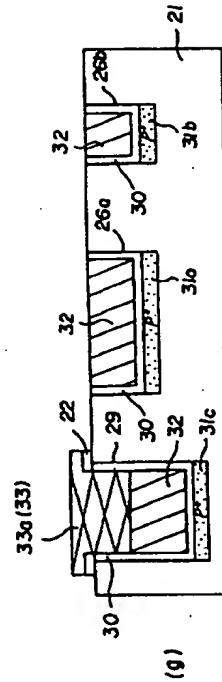
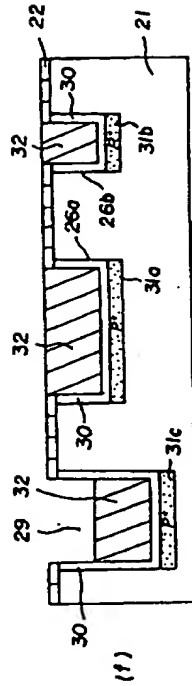
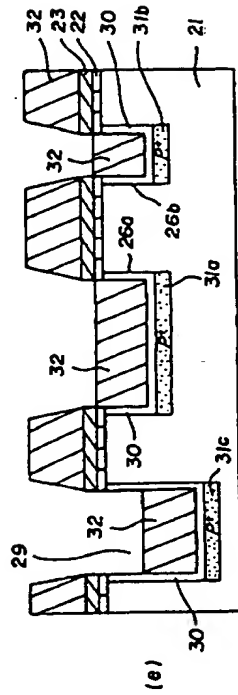
21…P型半導体シリコン基体、22…酸化膜、23…メタル層、26a、26b…素子分離用の溝、29…キャパシタセル用の溝、32…酸化膜。

特許出願人 神電気工業株式会社

代理人 弁理士 菊池

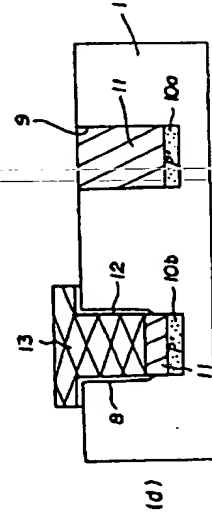
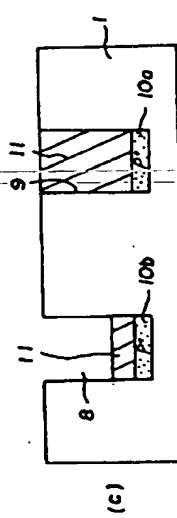
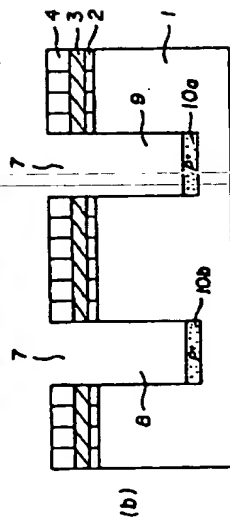
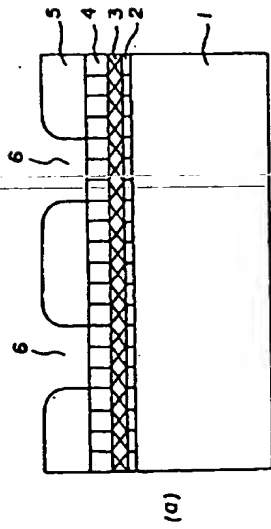


本発明一実施例の工程断面図
第1図



- 21: P型半導体シリコン基板
22: 酸化膜
23: 酸化膜
24: リソスト
25a, 25b: 開口部
26a, 26b: 素子分離用の溝
27: リソスト
28: 開口部
29: キャパシタセル用の溝
30: 酸化膜
31a, 31b, 31c: 不純物イオン注入層
32: 酸化膜
33: 酸化膜
33a: 酸化膜

本発明一実施例の工程断面図
第 1 図



従来方法の工程断面図
第 2 図

